

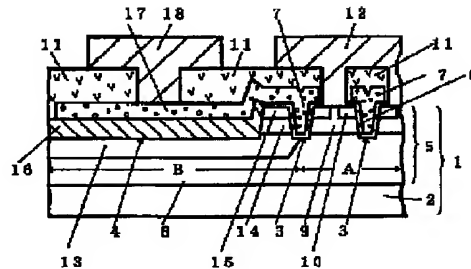


PATENT ABSTRACTS OF JAPAN

(43) Date of publication of application: **07.04.00**

(72) Inventor: **UNO HIROHIKO**
MATSUURA NAOKI
YAMAGISHI KAZUO

COPYRIGHT: (C)2000,JPO



(43)公開日 平成12年4月7日(2000.4.7)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 29/78		H 0 1 L 29/78	6 5 2 N
21/336			6 5 3 A
			6 5 8 G

審査請求 未請求 請求項の数12 O.L (全 10 頁)

(21)出願番号 特願平10-270774

(22) 出願日 平成10年9月25日(1998.9.25)

(71)出願人 000156950

関西日本電気株式会社

滋賀県大津市晴嵐2丁目9番1号

(72)発明者 宇野 博彦

滋賀県大津市晴嵐2丁目9番1号 関西日
本電気株式会社内

(72)発明者 松浦 直樹

滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社内

(72) 発明者 山岸 和夫

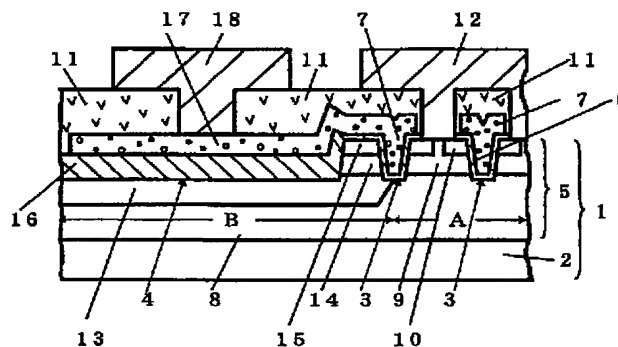
滋賀県大津市晴嵐2丁目9番1号 関西日
本電気株式会社内

(54) 【発明の名称】 絶縁ゲート型半導体装置およびその製造方法

(57) 【要約】

【課題】 ゲートポリシリコン配線下のU字型溝肩部の電界集中によるゲート酸化膜の破壊を防止する。

【解決手段】 ベース領域 9 表面層に n+ 型ソース領域 10 を形成するとき同時に p 型不純物領域 14 表面層全面に n+ 型不純物領域 15 を形成するので、工程を増加させることなく、ゲートポリシリコン配線 17 直下に位置する n+ 型不純物領域 15 上のゲート酸化膜 6 の膜厚を p 型不純物領域 14 上に形成した場合より厚くでき、n+ 型不純物領域 15 の溝肩部でのゲート酸化膜 6 へのゲート印加電圧の電界集中によるゲート酸化膜 6 の破壊を原因とするゲートショートを防止する。



【特許請求の範囲】

【請求項 1】 平面的にセル部とセル部を取り囲む外周部との区分を有し、LOCOS酸化により形状が確定したセル部のU字型溝と外周部のセル部を取り囲む外周溝とを形成した半導体本体と、半導体本体の最外周のU字型溝と外周溝とに挟まれた領域表面とU字型溝の内面および溝肩部とに設けたゲート酸化膜と、ゲート酸化膜上に設けたポリシリコンからなるゲート電極と、外周溝に前記LOCOS酸化により設けたフィールド酸化膜と、ゲート電極を構成するポリシリコンをフィールド酸化膜上に延在させて設けたゲートポリシリコン配線とを具備した絶縁ゲート型半導体装置において、前記最外周のU字型溝と外周溝とに挟まれた領域の表面層に高濃度n型不純物領域を設けたことを特徴とする絶縁ゲート型半導体装置。

【請求項 2】 前記半導体本体が低濃度n型ドレイン領域と、前記セル部において、前記ドレイン領域の表面層で前記U字型溝に分離された領域に設けたp型ベース領域と、このベース領域の表面層に設けた高濃度n型ソース領域と、前記外周部において、前記ドレイン領域の表面層に前記外周溝を取り囲むように前記最外周のU字型溝直下にまで設けたp型ウェル領域と、前記最外周のU字型溝と前記外周溝とに挟まれた領域に前記ベース領域と同時に設けたp型不純物領域とを含み、前記高濃度n型不純物領域が前記p型不純物領域の表面層に前記ソース領域と同時に設けられたことを特徴とする請求項 1 記載の絶縁ゲート型半導体装置。

【請求項 3】 前記半導体本体が低濃度p型ドレイン領域と、前記セル部において、前記ドレイン領域の表面層で前記U字型溝に分離された領域に設けたn型ベース領域と、このベース領域表面層に設けた高濃度p型ソース領域と、前記外周部において、前記ドレイン領域の表面層に設けた前記外周溝を取り囲むように前記最外周のU字型溝直下にまで設けたn型ウェル領域と、前記最外周のU字型溝と前記外周溝とに挟まれた領域に前記ベース領域と同時に設けたn型不純物領域とを含み、前記高濃度n型不純物領域が前記n型不純物領域の表面層に含まれるように前記ベース領域に含まれる高濃度n型コンタクトベース領域と同時に設けられたことを特徴とする請求項 1 記載の絶縁ゲート型半導体装置。

【請求項 4】 前記半導体本体が半導体基板上に形成されたエピタキシャル層であることを特徴とする請求項 2 記載の絶縁ゲート型半導体装置。

【請求項 5】 前記半導体本体が半導体基板上に形成されたエピタキシャル層であることを特徴とする請求項 3 記載の絶縁ゲート型半導体装置。

【請求項 6】 前記半導体基板が高濃度n型であることを特徴とする請求項 4 記載の絶縁ゲート型半導体装置。

【請求項 7】 前記半導体基板が高濃度p型であることを特徴とする請求項 4 記載の絶縁ゲート型半導体装置。

【請求項 8】 前記半導体基板が高濃度p型であることを特徴とする請求項 5 記載の絶縁ゲート型半導体装置。

【請求項 9】 前記半導体基板が高濃度n型であることを特徴とする請求項 6 記載の絶縁ゲート型半導体装置。

【請求項 10】 平面的にセル部とセル部を取り囲む外周部とに区分される半導体本体上にシリコン酸化膜とシリコン窒化膜を順次形成した後、エッチングにより半導体本体表面のセル部に初期溝と外周部にセル部を取り囲む外周初期溝とを形成する工程と、

シリコン窒化膜をマスクに初期溝および外周溝の内面にLOCOS酸化膜を形成すると共に、LOCOS酸化膜の形成により初期溝がU字型溝および外周初期溝が外周溝に形状変形される工程と、

U字型溝のLOCOS酸化膜を除去すると共に外周溝のLOCOS酸化膜をフィールド酸化膜として残す工程と、

半導体本体の最外周のU字型溝と外周溝とに挟まれた領域表面とU字型溝の内面および肩部にゲート酸化膜を形成した後、半導体本体表面をポリシリコン膜で被覆する工程と、

ポリシリコン膜をエッチングしてU字型溝にゲート電極とフィールド酸化膜上にゲート電極から延在させたゲートポリシリコン配線を形成する工程とを含む絶縁ゲート型半導体装置の製造方法において、

前記最外周のU字型溝と外周溝とに挟まれた領域の表面層に高濃度n型不純物領域を形成する工程を有することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項 11】 前記半導体本体が半導体基板上に形成されたエピタキシャル層であり、前記エピタキシャル層を低濃度n型ドレイン領域として、前記セル部において、このドレイン領域の表面層で前記U字型溝に分離された領域にp型ベース領域を形成すると共にこのベース領域の表面層に高濃度n型ソース領域を形成し、前記外周部において、前記ドレイン領域の表面層に前記外周溝を取り囲むように前記最外周のU字型溝直下にまでp型ウェル領域を形成し、前記ドレイン領域の表面層で前記最外周のU字型溝と前記外周溝とに挟まれた領域に前記ベース領域と同時にp型不純物領域を形成し、前記高濃度n型不純物領域が前記p型不純物領域の表面層に前記ソース領域と同時に形成されることを特徴とする請求項 10 記載の絶縁ゲート型半導体装置の製造方法。

【請求項 12】 前記半導体本体が半導体基板上に形成されたエピタキシャル層であり、前記エピタキシャル層を低濃度p型ドレイン領域として、前記セル部において、このドレイン領域の表面層で前記U字型溝に分離された領域に高濃度n型コンタクトベース領域を表面層に含むn型ベース領域を形成すると共にこのベース領域の表面層に高濃度p型ソース領域を形成し、前記外周部において、前記ドレイン領域の表面層に前記外周溝を取り囲むように前記最外周のU字型溝直下にまでn型ウェル領域

を形成し、前記ドレイン領域の表面層の前記最外周のU字型溝と前記外周溝とに挟まれた領域に前記ベース領域と同時にn型不純物領域を形成し、前記高濃度n型不純物領域が前記n型不純物領域の表面層に前記高濃度n型コンタクトベース領域と同時に形成されることを特徴とする請求項10記載の絶縁ゲート型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ゲート電極を溝の内部に設けた縦型のMOSFETやIGBT(Insulated Gate Bipolar Transistor)等の絶縁ゲート型半導体装置およびその製造方法に関する。

【0002】

【従来の技術】この種の絶縁ゲート型半導体装置の代表例としての電力用のMOSFETでは、トランジスタ機能を有する多数のユニットセルが並列接続された構造が一般的である。このMOSFETはチャンネルが半導体本体の溝方向に形成されており、チャンネルが半導体本体の面方向に形成されるゲートプレーナ型のMOSFETに比較してユニットセルの高集積化が可能であり、単位面積あたりのチャンネル幅を大きくとれ、素子の低オン抵抗化に非常に有効であることが知られている。このMOSFETの半導体本体の溝方向のチャンネルは、半導体本体表面に形成されたU字型溝の内部にゲート酸化膜を介してポリシリコンからなるゲート電極が形成され、この半導体本体のU字型溝に分離された領域にゲート電極をマスクとして自己整合的にベース領域およびベース領域の表面層にベース領域を一部残してソース領域が形成され、半導体本体のベース領域の下層をドレイン領域として、ソース領域とドレイン領域間の溝側面に接するベース領域表面に形成される。ゲート電極を構成するポリシリコンは最外周のU字型溝からフィールド酸化膜上に延在してゲートポリシリコン配線として形成され、このゲートポリシリコン配線はアルミニウムからなるゲート金属配線を介して外部へ電気的接続するためのゲートパッドに接続されている。また、ソース領域およびベース領域にはソース電極がオーム接触で接続され、このソース電極はゲート電極と電気的に絶縁分離するためにゲート電極を被覆した層間絶縁膜上にも連続形成され、このソース電極の一部を外部への電気的接続のためのソースパッドとしているのが一般的である。また、ゲート電極をU字型溝の内部に形成するとき、溝形状を最適化するためにエッチングにより初期溝を形成した後、溝内部をLOCOS酸化して溝形状を確定する方法がとられている。この方法の場合、溝内部のLOCOS酸化をフィールド酸化膜の形成と別に行うと工程が増えるため、フィールド酸化膜を形成する領域もU字型溝用の初期溝を形成するとき同時にエッチングして外周初期溝を形成し、

外周初期溝内部を初期溝内部と同時にLOCOS酸化するという方法がある。この方法は特開平8-298322に開示されている。

【0003】

【発明が解決しようとする課題】ところで特開平8-298322に開示されている上記方法によるとゲートポリシリコン配線はゲート電極を構成するポリシリコンを最外周のU字型溝からフィールド酸化膜上に延在して形成するときゲート酸化膜上にも形成しなければならない。特開平8-298322の図1(b)に示されたMOSFETの場合、ポリシリコン配線はP型ウェル上に形成されたゲート酸化膜上に配置されているが、このゲート酸化膜はN型ソース上に形成されているゲート酸化膜より薄く、また、ウェル形成時のイオン注入等での欠陥が完全に回復されていず、特に電界が集中する溝肩部は、N型ソース上に形成されているゲート酸化膜より薄い。そのため、セルの溝肩部と比較してゲート耐量が低いという問題がある。本発明は上記問題点を解決するためにゲートポリシリコン配線下のゲート酸化膜をセルの肩部と同一レベルに厚くして、製造工程および製品でゲートショート不良の発生を少なくした電界効果トランジスタおよびその製造方法を提供することを目的とする。

【0004】

【課題を解決するための手段】本発明に係る請求項1記載の絶縁ゲート型半導体装置は、平面的にセル部とセル部を取り囲む外周部との区分を有し、LOCOS酸化により形状が確定したセル部のU字型溝と外周部のセル部を取り囲む外周溝とを形成した半導体本体と、半導体本体の最外周のU字型溝と外周溝とに挟まれた領域表面とU字型溝の内面および溝肩部とに設けたゲート酸化膜と、ゲート酸化膜上に設けたポリシリコンからなるゲート電極と、外周溝に前記LOCOS酸化により設けたフィールド酸化膜と、ゲート電極を構成するポリシリコンをフィールド酸化膜上に延在させて設けたゲートポリシリコン配線とを具備した絶縁ゲート型半導体装置において、前記最外周のU字型溝と外周溝とに挟まれた領域の表面層に高濃度n型不純物領域を設けたことを特徴とする。上記手段によれば、ゲートポリシリコン配線下のゲート酸化膜を高濃度n型不純物領域上に形成することにより高濃度n型不純物を含まない場合より3倍程度厚く増速酸化できる。本発明に係る請求項2記載の絶縁ゲート型半導体装置は、請求項1記載の絶縁ゲート型半導体装置において、前記半導体本体が低濃度n型ドレイン領域と、前記セル部において、前記ドレイン領域の表面層で前記U字型溝に分離された領域に設けたp型ベース領域と、このベース領域の表面層に設けた高濃度n型ソース領域と、前記外周部において、前記ドレイン領域の表面層に前記外周溝を取り囲むように前記最外周のU字型溝直下にまで設けたp型ウェル領域と、前記最外周のU字型溝と前記外周溝とに挟まれた領域に前記ベース領域

と同時に設けた p 型不純物領域とを含み、前記高濃度 n 型不純物領域が前記 p 型不純物領域の表面層に前記ソース領域と同時に設けられたことを特徴とする。上記手段によれば、ゲートポリシリコン配線下のゲート酸化膜をソース領域と同時に設けた高濃度 n 型不純物領域上に形成することにより工程を新たに追加することなく高濃度 n 型不純物を含まない場合より 3 倍程度厚く増速酸化できる。本発明に係る請求項 3 記載の絶縁ゲート型半導体装置は、請求項 1 記載の絶縁ゲート型半導体装置において、前記半導体本体が低濃度 p 型ドレイン領域と、前記セル部において、前記ドレイン領域の表面層で前記 U 字型溝に分離された領域に設けた n 型ベース領域と、このベース領域表面層に設けた高濃度 p 型ソース領域と、前記外周部において、前記ドレイン領域の表面層に設けた前記外周溝を取り囲むように前記最外周の U 字型溝直下にまで設けた n 型ウェル領域と、前記最外周の U 字型溝と前記外周溝とに挟まれた領域に前記ベース領域と同時に設けた n 型不純物領域とを含み、前記高濃度 n 型不純物領域が前記 n 型不純物領域の表面層に含まれるように前記ベース領域に含まれる高濃度 n 型コンタクトベース領域と同時に設けられたことを特徴とする。上記手段によれば、ゲートポリシリコン配線下のゲート酸化膜を高濃度 n 型コンタクトベース領域と同時に設けた高濃度 n 型不純物領域上に形成することにより工程を新たに追加することなく高濃度 n 型不純物を含まない場合より 3 倍程度厚く増速酸化できる。本発明に係る請求項 4 記載の絶縁ゲート型半導体装置は、請求項 2 記載の絶縁ゲート型半導体装置において、前記半導体本体が半導体基板上に形成されたエピタキシャル層であることを特徴とする。本発明に係る請求項 5 記載の絶縁ゲート型半導体装置は、請求項 3 記載の絶縁ゲート型半導体装置において、前記半導体本体が半導体基板上に形成されたエピタキシャル層であることを特徴とする。本発明に係る請求項 6 記載の絶縁ゲート型半導体装置は、請求項 4 記載の絶縁ゲート型半導体装置において、エピタキシャル層が高濃度 n 型半導体基板上に形成されており、具体的には MOSFET であることを特徴とする。本発明に係る請求項 7 記載の絶縁ゲート型半導体装置は、請求項 4 記載の絶縁ゲート型半導体装置において、エピタキシャル層が高濃度 p 型半導体基板上に形成されており、具体的には IGBT であることを特徴とする。本発明に係る請求項 8 記載の絶縁ゲート型半導体装置は、請求項 5 記載の絶縁ゲート型半導体装置において、エピタキシャル層が高濃度 p 型半導体基板上に形成されており、具体的には MOSFET であることを特徴とする。本発明に係る請求項 9 記載の絶縁ゲート型半導体装置は、請求項 5 記載の絶縁ゲート型半導体装置において、エピタキシャル層が高濃度 n 型半導体基板上に形成されており、具体的には IGBT であることを特徴とする。本発明に係る請求項 10 記載の絶縁ゲート型半導体装置の製造方法は、平

面的にセル部とセル部を取り囲む外周部とに区分される半導体本体上にシリコン酸化膜とシリコン窒化膜を順次形成した後、エッチングにより半導体本体表面のセル部に初期溝と外周部にセル部を取り囲む外周初期溝とを形成する工程と、シリコン窒化膜をマスクに初期溝および外周溝の内面に LOCOS 酸化膜を形成すると共に、LOCOS 酸化膜の形成により初期溝が U 字型溝および外周初期溝が外周溝に形状変形される工程と、U 字型溝の LOCOS 酸化膜を除去すると共に外周溝の LOCOS 酸化膜をフィールド酸化膜として残す工程と、半導体本体の最外周の U 字型溝と外周溝とに挟まれた領域表面と U 字型溝の内面および肩部にゲート酸化膜を形成した後、半導体本体表面をポリシリコン膜で被覆する工程と、ポリシリコン膜をエッチングして U 字型溝にゲート電極とフィールド酸化膜上にゲート電極から延在させたゲートポリシリコン配線を形成する工程とを含む絶縁ゲート型半導体装置の製造方法において、前記最外周の U 字型溝と外周溝とに挟まれた領域の表面層に高濃度 n 型不純物領域を形成する工程を有することを特徴とする。上記手段によれば、最外周の U 字型溝と外周溝とに挟まれた領域の表面層に高濃度 n 型不純物領域を形成し、この高濃度 n 型不純物領域上にゲートポリシリコン配線下のゲート酸化膜を形成することによりゲートポリシリコン配線下のゲート酸化膜を高濃度 n 型不純物を含まない場合より 3 倍程度厚く増速酸化できる。本発明に係る請求項 11 記載の絶縁ゲート型半導体装置の製造方法は、請求項 10 記載の絶縁ゲート型半導体装置の製造方法において、前記半導体本体が半導体基板上に形成されたエピタキシャル層であり、前記エピタキシャル層を低濃度 n 型ドレイン領域として、前記セル部において、このドレイン領域の表面層で前記 U 字型溝に分離された領域に p 型ベース領域を形成すると共にこのベース領域の表面層に高濃度 n 型ソース領域を形成し、前記外周部において、前記ドレイン領域の表面層に前記外周溝を取り囲むように前記最外周の U 字型溝直下にまで p 型ウェル領域を形成し、前記ドレイン領域の表面層で前記最外周の U 字型溝と前記外周溝とに挟まれた領域に前記ベース領域と同時に p 型不純物領域を形成し、前記高濃度 n 型不純物領域が前記 p 型不純物領域の表面層に前記ソース領域と同時に形成されることを特徴とする。上記手段によれば、上記手段によれば、最外周の U 字型溝と外周溝とに挟まれた領域の表面層にソース領域と同時に高濃度 n 型不純物領域を形成し、この高濃度 n 型不純物領域上にゲートポリシリコン配線下のゲート酸化膜を形成することにより工程を新たに追加することなくゲートポリシリコン配線下のゲート酸化膜を高濃度 n 型不純物を含まない場合より 3 倍程度厚く増速酸化できる。本発明に係る請求項 12 記載の絶縁ゲート型半導体装置の製造方法は、請求項 10 記載の絶縁ゲート型半導体装置の製造方法において、前記半導体本体が半導体基板上に形成されたエ

ピタキシャル層であり、前記エピタキシャル層を低濃度 p 型ドレイン領域として、前記セル部において、このドレイン領域の表面層で前記 U 字型溝に分離された領域に高濃度 n 型コンタクトベース領域を表面層に含む n 型ベース領域を形成すると共にこのベース領域の表面層に高濃度 p 型ソース領域を形成し、前記外周部において、前記ドレイン領域の表面層に前記外周溝を取り囲むように前記最外周の U 字型溝直下にまで n 型ウェル領域を形成し、前記ドレイン領域の表面層の前記最外周の U 字型溝と前記外周溝とに挟まれた領域に前記ベース領域と同時に n 型不純物領域を形成し、前記高濃度 n 型不純物領域が前記 n 型不純物領域の表面層に前記高濃度 n 型コンタクトベース領域と同時に形成されることを特徴とする。上記手段によれば、上記手段によれば、最外周の U 字型溝と外周溝とに挟まれた領域の表面層に高濃度 n 型コンタクトベース領域と同時に高濃度 n 型不純物領域を形成し、この高濃度 n 型不純物領域上にゲートポリシリコン配線下のゲート酸化膜を形成することにより工程を新たに追加することなくゲートポリシリコン配線下のゲート酸化膜を高濃度 n 型不純物を含まない場合より 3 倍程度厚く増速酸化できる。

【0005】

【発明の実施の形態】以下に、本発明に基づき第 1 実施例の N チャネル型 MOSFET およびその製造方法を図 1 乃至図 3 を参照して説明する。まず、構成を説明すると、図 1 において、1 は半導体本体で、基板表面の結晶面が (100) 面の高濃度 n 型である n+ 型半導体基板 2 と、この半導体基板 2 上に設け表面に U 字型溝 3 が格子状に形成されると共にこれらの U 字型溝 3 を取り囲む外周溝 4 がリング状に形成されたエピタキシャル層 5 とを有している。エピタキシャル層 5 は平面方向でセル部 A とセル部 A を取り囲む外周部 B とに区分され、セル部 A は最外周の U 字型溝 3 の中央部分より内側で区分され、外周部 B はその外側で区分されている。まず、セル部 A について説明する。エピタキシャル層 5 表面に形成された U 字型溝 3 の内部にゲート酸化膜 6 を介してポリシリコンからなるゲート電極 7 が形成されている。エピタキシャル層 5 はエピタキシャル層 5 の初期層であり低濃度 n 型である n- 型ドレイン領域 8 と、このドレイン領域 8 表面層の U 字型溝 3 により分離された領域にゲート電極 7 をマスクとして自己整合的に U 字型溝 3 より浅く設けた p 型ベース領域 9 と、ベース領域 9 の表面層にレジストパターンをマスクとすると共にゲート電極 7 を自己整合的なマスクとしてベース領域 9 を一部残して設けた n+ 型ソース領域 10 とを含んでいる。エピタキシャル層 5 表面の U 字型溝 3 により分離された各領域の平面的な構造は図 3 に示すように、ソース領域 10 は全体が略正方形であり、且つ、所定の一定幅で離隔した非環状の略 4 等分に分割された 3 角形の 4 分割ソース領域 10 a であり、ベース領域 9 は 4 分割ソース領域 10 a 間

の幅狭なソース分割ベース領域 9 a である。エピタキシャル層 5 上にはゲート電極 7 を被覆するように層間絶縁膜 11 を設け、更にその上にソース領域 10 およびベース領域 9 表面とオーミック接触により電氣的接続するソース電極 12 を設けている。ソース電極 12 はその一部を外周部への電氣的接続のためのソースパッドとしている。

【0006】次に、外周部 B について説明する。エピタキシャル層 5 はセル A と共通のドレイン領域 8 と、このドレイン領域 8 表面層に外周溝 4 を下から取り囲むようにして最外周の U 字型溝 3 直下にまで設けた p 型ウェル領域 13 と、この p 型ウェル領域 13 表面層の U 字型溝 3 と外周溝 4 に挟まれた領域に設けベース領域 9 と同時に形成された p 型不純物領域 14 と、この p 型不純物領域 14 表面層に設けソース領域 10 と同時に設けた n+ 型不純物領域 15 とを含んでいる。溝 3 内面および n+ 型不純物領域 15 表面にセル部 A と共通のゲート酸化膜 6 を設けると共に、外周溝 4 内面にフィールド酸化膜 16 を設け、このゲート酸化膜 6 およびフィールド酸化膜 16 上にはゲート電極 7 を構成するポリシリコンを延在させてゲートポリシリコン配線 17 を設けている。エピタキシャル層 5 上にはゲートポリシリコン配線 17 を被覆するようにセル A と共通の層間絶縁膜 11 を設け、更にその上にゲートポリシリコン配線 17 とオーミック接触により電氣的接続するアルミニウムからなるゲート金属配線 18 を設けている。図示しないが、ゲート金属配線 18 は外部への電氣的接続のためのゲートパッドに接続されている。

【0007】上記構成によれば、最外周の U 字型溝 3 と外周溝 4 に挟まれた領域の表面層に n+ 型不純物領域 15 を設けているので、n+ 型不純物領域 15 表面のゲート酸化膜 6 は p 型不純物領域 14 に形成されるゲート酸化膜より増速酸化により約 3 倍厚くなり、n+ 型不純物領域 15 の溝肩部でのゲート酸化膜 6 へのゲート印加電圧の電界集中によるゲート酸化膜 6 の破壊が起こり難くなり、ゲートショートも少なくなる。

【0008】次に製造方法を図 2 (a) ~ (e) と図 1 を参照して説明する。まず、第 1 工程はこの工程の完了後の断面図を図 2 (a) に示すように、基板表面の結晶面が (100) 面でオリエンテーションフラットの結晶面が {100} 面の n+ 型半導体基板 2 上に n- 型のエピタキシャル初期層を形成した後、この初期層の表面に熱酸化法によりシリコン酸化膜 51 を膜厚 6000 Å 程度に形成し、セル部 A と外周部 B に区分される初期層の外周部 B の p 型ウェル領域形成予定領域のシリコン酸化膜 51 をフォトリソグラフィ法およびウェットエッチング法により開口して初期層表面を露出させる。この露出した初期層表面に熱酸化法によりシリコン酸化膜 52 を膜厚 1000 Å 程度に形成し、シリコン酸化膜 51 をマスクにシリコン酸化膜 52 を介して p 型ウェル領域形成

予定領域にホウ素をイオン注入および熱拡散して外周部 B に p 型ウェル領域 33 を含むエピタキシャル層 5a を形成する。

【0009】次に、第2工程はこの工程の完了後の断面図を図2(b)に示すように、第1工程の完了後に、エピタキシャル層 5a 表面の酸化膜を全面除去し、この表面にシリコン酸化膜 53 を熱酸化法により膜厚 500 Å 程度に形成し、更にその上にシリコン窒化膜 54 を CVD 法により膜厚 900 Å 程度に成長させた後、フォトリソグラフィ法およびドライエッチ法により選択的に窒化膜 54、酸化膜 53 およびエピタキシャル層をエッチングして初期溝 55 が格子状に形成されると共に、初期溝 55 全体を取り囲むように外周初期溝 56 がリング状に形成されたエピタキシャル層 5b を形成する。ここで、最外周の初期溝 55 の中央部分より内側がセル部 A、外側が外周部 B に区分される。初期溝 55 は側壁面の結晶面が {100} 面に対し 0~30 度の範囲内になるようにエッチングし、深さを例えば、1.3 μm ねらいでエッチングして形成される。尚、初期溝 55 の深さは 1.3 μm ねらい以外でもよい。酸化膜 53 は後工程での LOCOS 酸化時の窒化膜 54 による応力の緩衝膜として形成され、膜厚が厚いほうが応力が緩和されると同時に溝肩部の曲率半径も大きくなるので、曲率半径が適正値となるような膜厚としている。また、窒化膜 54 は後工程での LOCOS 酸化時のマスクとして形成され、膜厚が薄いほうが窒化膜 54 自身による応力を低減すると同時に溝肩部の曲率半径も大きくなるが、逆に膜厚が薄いことによる窒化膜 54 の損傷や窒化膜 54 を酸素が通り抜ける等の工程上の不具合が発生するので、工程上の不具合が発生せず曲率半径が適正値となるような膜厚としている。

【0010】次に、第3工程はこの工程の完了後の断面図を図2(c)に示すように、第2工程完了後、窒化膜 54 をマスクとして初期溝 55、56 の内面を酸化温度 1140℃程度で熱酸化して膜厚 7000 Å 程度の LOCOS 酸化膜 57 を形成すると、初期溝 55 が U 字型溝 3、外周初期溝 56 が外周溝 4 に形状変形される。LOCOS 酸化膜 57 の形成温度は酸化膜 57 の粘性を高くして応力を低減するように設定している。溝肩部の曲率半径は適正値 0.2~0.7 μm となる。U 字型溝 3 の側壁面は結晶面が {100} 面に対して 0~30 度の範囲内で形成される。尚、p 型ウェル領域 13 の境界が最外周の U 字型溝 3 直下に来るようにパターン配置する。その後、窒化膜 54 および酸化膜 53 をウェットエッチ法により全面除去し、熱酸化法によりイオン注入のためのシリコン酸化膜 58 を膜厚 100 Å 程度に形成した後、LOCOS 酸化膜 57 をマスクにしてシリコン酸化膜 58 を介してホウ素をイオン注入および熱拡散して U 字型溝 3 の深さより浅く、U 字型溝 3 により分離された領域に p 型ベース領域 9 を形成すると共に最外周の U 字

型溝 3 と外周溝 4 に挟まれた領域に p 型不純物領域 14 を形成する。尚、この後、図示しないがフォトリソグラフィ法でのレジストパターンでマスクしてホウ素または弗化ホウ素をイオン注入しフォトレジスト膜除去後に熱拡散してベース領域 29 表面層に含まれる p+ 型コンタクトベース領域を形成する。さらに、LOCOS 酸化膜 57 をマスクにすると共にベース領域 9 上をフォトリソグラフィ法でのレジストパターンでマスクして砒素またはリンをイオン注入しフォトレジスト膜除去後に熱拡散してベース領域 9 表面層に n+ 型ソース領域 10 を形成すると共に p 型不純物領域 14 表面層全面に n+ 型不純物領域 15 を形成する。この結果、図2(b)のエピタキシャル層 5b は、表面に溝 3、4 が形成されエピタキシャル層の初期層である n- 型ドレイン領域 8 と、ベース領域 9 と、ソース領域 10 と、p 型不純物領域 14 と、n+ 型不純物領域 15 とを含むエピタキシャル層 5 となる。

【0011】次に、第4工程はこの工程の完了後の断面図を図2(d)に示すように、第3工程完了後、n+ 型不純物領域 15 の中央部分より外側の領域をフォトリソグラフィ法でのレジストパターン 59 でマスクしウェットエッチ法により溝 3 内の LOCOS 酸化膜 57 および n+ 型不純物領域 15 の中央部分より内側の領域の酸化膜 58 を除去することによりベース領域 9 およびソース領域 10 の表面と溝 3 の内面を露出させ、外周溝 4 に形成された LOCOS 酸化膜 57 をフィールド酸化膜 16 として残す。

【0012】次に、第5工程はこの工程の完了後の断面図を図2(e)に示すように、第4工程完了後、ベース領域 9、ソース領域 10 および n+ 型不純物領域 15 の表面と溝 3 の内面に熱酸化法によりゲート酸化膜 6 を形成する。ゲート酸化膜 6 の膜厚は、例えば、溝 3 の内面のベース領域 9 上で 500 Å 程度に形成した場合、n+ 型不純物領域 15 上には増速酸化により 1500 Å 程度とベース領域 9 上より 3 倍程度厚く形成される。以上の工程を経たエピタキシャル層 5 の表面を CVD 法によりポリシリコン膜 60 で被覆する。

【0013】続いて、第6工程はこの工程の完了後の断面図を図1に示すように、フォトリソグラフィ法およびドライエッチ法により、セル部 A においてソース領域 10 表面の一部および溝 3 のポリシリコン膜 60 を残してゲート電極 7 を形成すると共に、外周部 B においてゲート電極 7 からフィールド酸化膜 16 上に所定長さで延在させたポリシリコン膜 60 を残してゲートポリシリコン配線 17 を形成した後、以上の工程を経たエピタキシャル層 5 の表面を CVD 法により層間絶縁膜 11 で被覆する。その後セル部 A においてソース領域 10 表面の一部およびベース領域 9 表面と外周部 B においてゲートポリシリコン配線 17 表面の一部とが露出するように層間絶縁膜 11 およびゲート酸化膜 6 にコンタクト窓を形成し

た後、以上の工程を経たエピタキシャル層 5 の表面をスパッタ法によりアルミニウム膜で被覆し、このアルミニウム膜をフォトリソグラフィ法およびドライエッチ法により選択的に除去して、セル部 A においてベース領域 9 およびソース領域 10 とオーミック接触により電氣的に接続するソース電極 12 と外周部 B においてゲートポリシリコン配線 17 とオーミック接触により電氣的に接続するゲート金属配線 18 を形成する。図示しないが、ソース電極 12 から外部に電氣的に接続するためのソースパッドと、ゲート金属配線 18 から外部に電氣的に接続するためのゲートパッドが同時形成される。

【0014】この製造方法によれば、ベース領域 9 表面層に n+ 型ソース領域 10 を形成するとき同時に p 型不純物領域 14 表面層全面に n+ 型不純物領域 15 を形成するので、工程を増加させることなく、ゲートポリシリコン配線 17 直下に位置する n+ 型不純物領域 15 上のゲート酸化膜 6 の膜厚を p 型不純物領域 14 上に形成した場合より増速酸化により 3 倍程度厚くでき、n+ 型不純物領域 15 の溝肩部でのゲート酸化膜 6 へのゲート印加電圧の電界集中によるゲート酸化膜 6 の破壊を原因とするゲートショートを防止できる。

【0015】次に、第 2 実施例の P チャネル型 MOSFET およびその製造方法を図 4 乃至図 6 を参照して説明する。まず、構成を説明すると、図 4 において、21 は半導体本体で、基板表面の結晶面が (100) 面の高濃度 p 型である p+ 型半導体基板 22 と、この半導体基板 22 上に設け表面に U 字型溝 23 が格子状に形成されると共にこれらの U 字型溝 23 を取り囲む外周溝 24 がリング状に形成されたエピタキシャル層 25 とを有している。エピタキシャル層 25 は平面方向でセル部 A とセル部 A を取り囲む外周部 B とに区分され、セル部 A は最外周の U 字型溝 23 の中央部分より内側で区分され、外周部 B はその外側で区分されている。まず、セル部 A について説明する。エピタキシャル層 25 表面に形成された U 字型溝 23 の内部にゲート酸化膜 26 を介してポリシリコンからなるゲート電極 27 が形成されている。エピタキシャル層 25 はエピタキシャル層 25 の初期層であり低濃度 p 型である p- 型ドレイン領域 28 と、このドレイン領域 28 表面層の U 字型溝 23 により分離された領域にゲート電極 27 をマスクとして自己整合的に U 字型溝 23 より浅く設けた n 型ベース領域 29 と、ベース領域 29 の表面層にレジストパターンをマスクとすると共にゲート電極 27 を自己整合的なマスクとしてベース領域 29 を一部残して設けた p+ 型ソース領域 30 とを含んでいる。尚、ベース領域 29 には表面層にレジストパターンをマスクに設けた n+ 型コンタクトベース領域 29a を含んでいる。エピタキシャル層 25 表面の U 字型溝 23 により分離された各領域の平面的な構造は図 6 に示すように、ソース領域 30 は全体が略正方形であり、且つ、所定の一定幅で離隔した非環状の略 4 等分に

分割された 3 角形の 4 分割ソース領域 30a であり、ベース領域 29 は 4 分割ソース領域 30a 間の幅狭なソース分割ベース領域 29b である。エピタキシャル層 25 上にはゲート電極 27 を被覆するように層間絶縁膜 31 を設け、更にその上にソース領域 30 およびベース領域 29 表面とオーミック接触により電氣的接続するソース電極 32 を設けている。ソース電極 32 はその一部を外周部への電氣的接続のためのソースパッドとしている。

【0016】次に、外周部 B について説明する。エピタキシャル層 25 はセル A と共通のドレイン領域 28 と、このドレイン領域 28 表面層に外周溝 24 を取り囲むように最外周の U 字型溝 23 直下にまで設けた n 型ウェル領域 33 と、この n 型ウェル領域 33 上の U 字型溝 23 と外周溝 24 に挟まれた領域に設けベース領域 29 と同時に形成された n 型不純物領域 34 とを含んでいる。また、n 型不純物領域 34 には表面層に n+ 型コンタクトベース領域 29a と同時に設けた n+ 型不純物領域 34a を含んでいる。U 字型溝 23 内面および n+ 型不純物領域 34a 表面にセル部 A と共通のゲート酸化膜 26 を設けると共に、外周溝 24 内面にフィールド酸化膜 36 を設け、このゲート酸化膜 26 およびフィールド酸化膜 26 上にはゲート電極 27 を構成するポリシリコンを延在させてゲートポリシリコン配線 37 を設けている。エピタキシャル層 25 上にはゲートポリシリコン配線 37 を被覆するようにセル A と共通の層間絶縁膜 31 を設け、更にその上にゲートポリシリコン配線 37 とオーミック接触により電氣的接続するアルミニウムからなるゲート金属配線 38 を設けている。図示しないが、ゲート金属配線 38 はゲートパッドに接続されている。

【0017】上記構成によれば、最外周の U 字型溝 23 と外周溝 24 に挟まれた領域の表面層に n+ 型不純物領域 34a を設けているので、n+ 型不純物領域 34a 表面のゲート酸化膜 26 は n 型不純物領域 34 に形成されるゲート酸化膜より増速酸化により約 3 倍厚くなり、n+ 型不純物領域 34a の溝肩部でのゲート酸化膜 26 へのゲート印加電圧の電界集中によるゲート酸化膜 26 の破壊が起こり難くなり、ゲートショートも少なくなる。

【0018】次に製造方法を図 5 (a) ~ (e) と図 4 を参照して説明する。先ず、第 1 工程はこの工程の完了後の断面図を図 5 (a) に示すように、基板表面の結晶面が (100) 面でオリエンテーションフラットの結晶面が {100} 面の p+ 型半導体基板 22 上に p- 型のエピタキシャル初期層を形成した後、この初期層の表面に熱酸化法によりシリコン酸化膜 71 を膜厚 6000 Å 程度に形成し、セル部 A と外周部 B に区分される初期層の外周部 B の n 型ウェル領域形成予定領域のシリコン酸化膜 71 をフォトリソグラフィ法およびウェットエッチング法により開口して初期層表面を露出させる。この露出した初期層表面に熱酸化法によりシリコン酸化膜 72 を膜厚 1000 Å 程度に形成し、シリコン酸化膜 71 を

マスクにシリコン酸化膜 7 2 を介して n 型ウェル領域形成予定領域にリンをイオン注入および熱拡散して外周部 B に n 型ウェル領域 3 3 を含むエピタキシャル層 2 5 a を形成する。

【0019】次に、第 2 工程はこの工程の完了後の断面図を図 5 (b) に示すように、第 1 工程の完了後に、エピタキシャル層 2 5 a 表面の酸化膜を全面除去し、この表面にシリコン酸化膜 7 3 を熱酸化法により膜厚 500 Å 程度に形成し、更にその上にシリコン窒化膜 7 4 を CVD 法により膜厚 900 Å 程度に成長させた後、フォトリソグラフィ法およびドライエッチ法により選択的に窒化膜 7 4、酸化膜 7 3 およびエピタキシャル層をエッチングして初期溝 7 5 が格子状に形成されると共に、初期溝 7 5 全体を取り囲むように外周初期溝 7 6 がリング状に形成されたエピタキシャル層 2 5 b を形成する。ここで、最外周の初期溝 7 5 の中央部分より内側がセル部 A、外側が外周部 B に区分される。初期溝 7 5 は側壁面の結晶面が {100} 面に対し 0~30 度の範囲内になるようにエッチングし、深さを例えば、1.3 μm ねらいでエッチングして形成される。尚、初期溝 7 5 の深さは 1.3 μm ねらい以外でもよい。酸化膜 7 3 は後工程での LOCOS 酸化時の窒化膜 7 4 による応力の緩衝膜として形成され、膜厚が厚いほうが応力が緩和されると同時に溝肩部の曲率半径も大きくなるので、曲率半径が適正值となるような膜厚としている。また、窒化膜 7 4 は後工程での LOCOS 酸化時のマスクとして形成され、膜厚が薄いほうが窒化膜 7 4 自身による応力を低減すると同時に溝肩部の曲率半径も大きくなるが、逆に膜厚が薄いことによる窒化膜 7 4 の損傷や窒化膜 7 4 を酸素が通り抜ける等の工程上の不具合が発生するので、工程上の不具合が発生せず曲率半径が適正值となるような膜厚としている。

【0020】次に、第 3 工程はこの工程の完了後の断面図を図 5 (c) に示すように、第 2 工程完了後、窒化膜 7 4 をマスクとして初期溝 7 5、7 6 の内面を酸化温度 1140℃ 程度で熱酸化して膜厚 7000 Å 程度の LOCOS 酸化膜 7 7 を形成すると、初期溝 7 5 が U 字型溝 2 3、外周初期溝 7 6 が外周溝 2 4 に形状変形される。LOCOS 酸化膜 7 7 の形成温度は酸化膜 7 7 の粘性を高くして応力を低減するように設定している。溝肩部の曲率半径は適正值 0.2~0.7 μm となる。U 字型溝 2 3 の側壁面は結晶面が {100} 面に対して 0~30 度の範囲内で形成される。尚、n 型ウェル領域 3 3 の境界が最外周の U 字型溝 2 3 直下に来るようにパターン配置する。その後、窒化膜 7 4 および酸化膜 7 3 をウェットエッチ法により全面除去し、熱酸化法によりイオン注入のためのシリコン酸化膜 7 8 を膜厚 100 Å 程度に形成した後、LOCOS 酸化膜 7 7 をマスクにしてシリコン酸化膜 7 8 を介して砒素またはリンをイオン注入および熱拡散して U 字型溝 2 3 の深さより浅く、U 字型溝 2

3 により分離された領域に n 型ベース領域 2 9 を形成すると共に最外周の U 字型溝 2 3 と外周溝 2 4 に挟まれた領域に n 型不純物領域 3 4 を形成する。この後、フォトリソグラフィ法でのレジストパターンでマスクして砒素またはリンをイオン注入しフォトレジスト膜除去後に熱拡散してベース領域 2 9 表面層に含まれる n+ 型コンタクトベース領域 2 9 a を形成すると共に n 型不純物領域 3 4 に含まれる n+ 型不純物領域 3 4 a を形成する。さらに、LOCOS 酸化膜 7 7 をマスクにすると共にベース領域 2 9 上をフォトリソグラフィ法でのレジストパターンでマスクしてホウ素または弗化ホウ素をイオン注入しフォトレジスト膜除去後に熱拡散してベース領域 2 9 表面層に p+ 型ソース領域 3 0 を形成する。この結果、図 5 (b) のエピタキシャル層 2 5 b は、表面に溝 2 3、2 4 が形成されエピタキシャル層の初期層である p- 型ドレイン領域 2 8 と、ベース領域 2 9 と、ソース領域 3 0 と、n 型不純物領域 3 4 とを含むエピタキシャル層 5 となる。このときベース領域 2 9 はその表面層にコンタクトベース領域 2 9 a を含むと共に n 型不純物領域 3 4 はその表面層に n+ 型不純物領域 3 4 a を含んでいる。

【0021】次に、第 4 工程はこの工程の完了後の断面図を図 5 (d) に示すように、第 3 工程完了後、n+ 型不純物領域 3 4 a の中央部分より外側の領域をフォトリソグラフィ法でのレジストパターン 7 9 でマスクしウェットエッチ法により溝 2 3 内の LOCOS 酸化膜 7 7 および n+ 型不純物領域 3 4 a の中央部分より内側の領域の酸化膜 7 8 を除去することによりベース領域 2 9 およびソース領域 3 0 の表面と溝 2 3 の内面を露出させ、外周溝 2 4 に形成された LOCOS 酸化膜 7 7 をフィールド酸化膜 3 6 として残す。

【0022】次に、第 5 工程はこの工程の完了後の断面図を図 5 (e) に示すように、第 4 工程完了後、ベース領域 2 9、ソース領域 3 0 および n+ 型不純物領域 3 4 a の表面と溝 2 3 の内面に熱酸化法によりゲート酸化膜 2 6 を形成する。ゲート酸化膜 2 6 の膜厚は、例えば、溝 2 3 の内面のベース領域 2 9 上で 500 Å 程度に形成した場合、n+ 型不純物領域 3 4 a 上には増速酸化により 1500 Å 程度とベース領域 2 9 上より 3 倍程度厚く形成される。以上の工程を経たエピタキシャル層 2 5 の表面を CVD 法によりポリシリコン膜 8 0 で被覆する。

【0023】続いて、第 6 工程はこの工程の完了後の断面図を図 4 に示すように、フォトリソグラフィ法およびドライエッチ法により、セル部 A においてソース領域 3 0 表面の一部および溝 2 3 のポリシリコン膜 8 0 を残してゲート電極 2 7 を形成すると共に、外周部 B においてゲート電極 2 7 からフィールド酸化膜 3 6 上に所定長さで延在させたポリシリコン膜 8 0 を残してゲートポリシリコン配線 3 7 を形成した後、以上の工程を経たエピタキシャル層 2 5 の表面を CVD 法により層間絶縁膜 3 1

で被覆する。その後セル部Aにおいてソース領域30表面の一部およびベース領域29表面と外周部Bにおいてゲートポリシリコン配線37表面の一部とが露出するように層間絶縁膜31およびゲート酸化膜26にコンタクト窓を形成した後、以上の工程を経たエピタキシャル層25の表面をスパッタ法によりアルミニウム膜で被覆し、このアルミニウム膜をフォトリソグラフィ法およびドライエッチ法により選択的に除去して、セル部Aにおいてベース領域29およびソース領域30とオーミック接触により電氣的に接続するソース電極32と外周部Bにおいてゲートポリシリコン配線37とオーミック接触により電氣的に接続するゲート金属配線38を形成する。図示しないが、ソース電極32から外部に電氣的に接続するためのソースパッドと、ゲート金属配線38から外部に電氣的に接続するためのゲートパッドが同時形成される。

【0024】この製造方法によれば、ベース領域29表面層にn+型ベース領域29aを形成するとき同時にn型不純物領域34表面層全面にn+型不純物領域34aを形成するので、工程を増加させることなく、ゲートポリシリコン配線37直下に位置するn+型不純物領域34a上のゲート酸化膜26の膜厚をn型不純物領域34上に形成した場合より増速酸化により3倍程度厚くでき、n+型不純物領域34aの溝肩部でのゲート酸化膜26へのゲート印加電圧の電界集中によるゲート酸化膜26の破壊を原因とするゲートショートを防止できる。

【0025】上記第1および第2実施例において、エピタキシャル層表面の平面的な構造を図3および図6に示すソースが非環状パターンのもので説明したが、これに限定されることなく、他の非環状パターンやソース領域がベース領域を取り囲む環状パターンであってもよい。また、U字型溝を格子状に形成されたもので説明したが、ストライプ状に形成されたものであってもよい。また、半導体本体を半導体基板とエピタキシャル層からなるもので説明したが、エピタキシャル層を含まない半導体基板だけであってもよい。この場合、半導体基板の裏面を高濃度のn型不純物層またはp型不純物層とする。また、第1実施例では半導体基板は高濃度n型で説明したが、高濃度p型であってもよい。この場合は、IGBTに利用できる。第2実施例では半導体基板は高濃度p型で説明したが、高濃度n型であってもよい。この場合も、IGBTに利用できる。

【0026】

【発明の効果】本発明によれば、ゲートポリシリコン配線下のゲート酸化膜をn+型不純物領域上に形成することによりn+型不純物を含まない場合より3倍程度厚くして、製造工程および製品でゲートショート不良の発生

を少ない絶縁ゲート型半導体装置を製造することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施例である縦型パワーMOSFETの要部断面図。

【図2】 図1に示す縦型パワーMOSFETの製造工程を示す要部断面図。

【図3】 図1に示す縦型パワーMOSFETのU字型溝で分離された半導体本体表面の1セル分の平面パターン図。

【図4】 本発明の第2実施例である縦型パワーMOSFETの要部断面図。

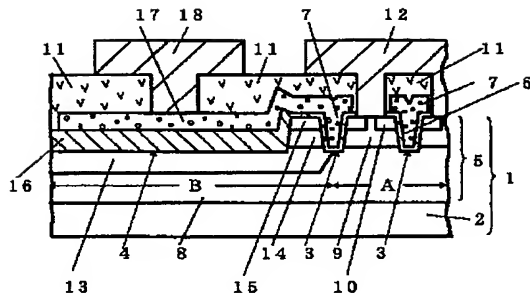
【図5】 図5に示す縦型パワーMOSFETの製造工程を示す要部断面図。

【図6】 図5に示す縦型パワーMOSFETのU字型溝で分離された半導体本体表面の1セル分の平面パターン図。

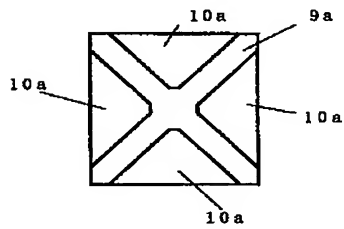
【符号の説明】

- | | |
|--------|-------------|
| 1、21 | 半導体本体 |
| 2、22 | 半導体基板 |
| 3、23 | U字型溝 |
| 4、24 | 外周溝 |
| 5、25 | エピタキシャル層 |
| 6、26 | ゲート酸化膜 |
| 7、27 | ゲート電極 |
| 8、28 | ドレイン領域 |
| 9、29 | ベース領域 |
| 29a | コンタクトベース領域 |
| 10、30 | ソース領域 |
| 11、31 | 層間絶縁膜 |
| 12、32 | ソース電極 |
| 13、33 | ウェル領域 |
| 14 | p型不純物領域 |
| 34 | n型不純物領域 |
| 15、34a | n+型不純物領域 |
| 16、36 | フィールド酸化膜 |
| 17、37 | ゲートポリシリコン配線 |
| 18、38 | ゲート金属配線 |
| 53、73 | シリコン酸化膜 |
| 54、74 | 窒化膜 |
| 55、75 | 初期溝 |
| 56、76 | 外周初期溝 |
| 57、77 | LOCOS酸化膜 |
| 58、78 | シリコン酸化膜 |
| 59、79 | レジストパターン |
| 60、80 | ポリシリコン膜 |

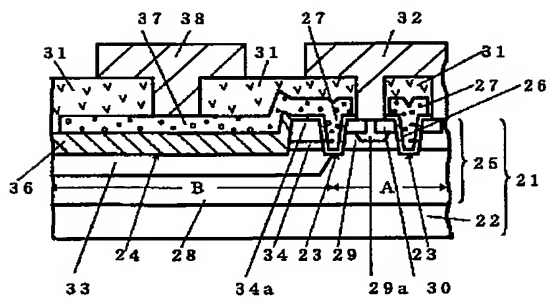
【図 1】



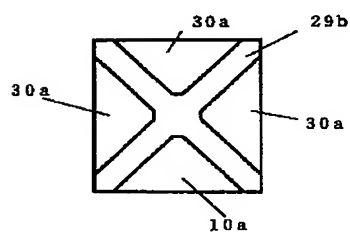
【図 3】



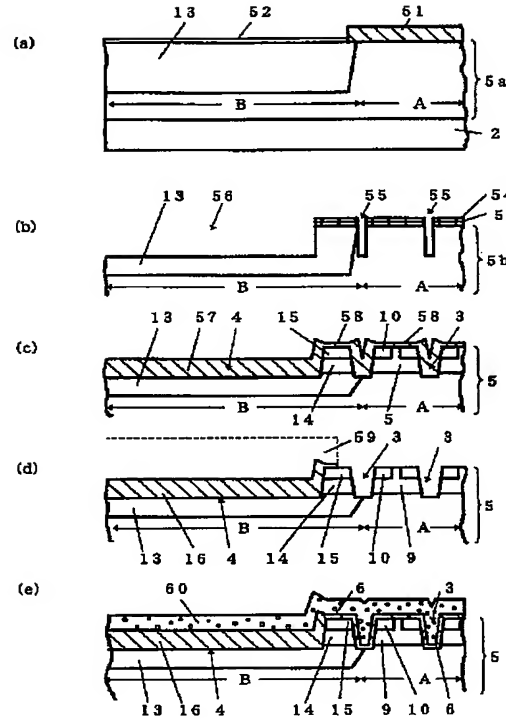
【図 4】



【図 6】



【図 2】



【図 5】

